

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-055875

(43)Date of publication of application : 27.02.1996

(51)Int.Cl.

H01L 21/60

H01L 23/12

(21)Application number : 06-192955

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.08.1994

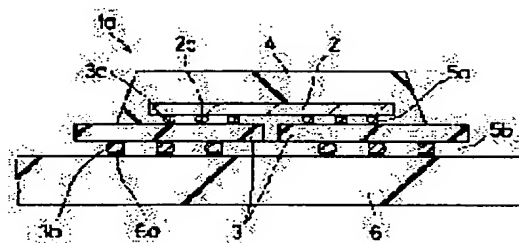
(72)Inventor : YOSHIDA IKUO
UDA TAKAYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve reliability of a bump connection of a semiconductor device using a flip chip packaging method.

CONSTITUTION: In a BGA1a packaging a package substrate 3, on which a semiconductor chip 2 is packaged via a CCB bump electrode 5a, via a CCB bump electrode 5b on a module substrate 6, the package substrate 3 is divided into a plurality.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-55875

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl.⁶

H 0 1 L 21/60
23/12

識別記号

3 1 1 S 7726-4E

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 12

L

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号

特願平6-192955

(22) 出願日

平成6年(1994)8月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 吉田 育生

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 宇田 隆之

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

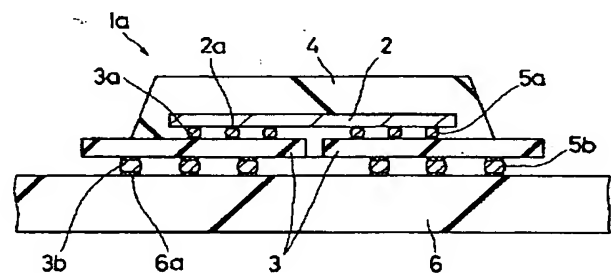
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 フリップチップ実装方式を用いる半導体装置の bumps 接続部における信頼性を向上させる。

【構成】 CCB bumps 電極 5 a を介して半導体チップ 2 が実装されたパッケージ基板 3 を、CCB bumps 電極 5 b を介してモジュール基板 6 上に実装する BGA 1 a において、パッケージ基板 3 を複数に分割した。

図 1



- 1 a : BGA (半導体装置)
- 2 : 半導体チップ
- 3 : パッケージ基板 (配線基板)
- 4 : モールドレジ
- 5 a : CCB bumps 電極 (第 1 bumps)
- 5 b : CCB bumps 電極 (第 2 bumps)
- 6 : モジュール基板 (実装基板)

【特許請求の範囲】

【請求項1】 複数の分割された各々の配線基板上に1つの半導体チップが重なるように第1バンプを介して実装されてなることを特徴とする半導体装置。

【請求項2】 半導体チップと実装基板との間に熱歪緩和板を設け、前記半導体チップと前記熱歪緩和板とを第1バンプを介して接続するとともに、前記熱歪緩和板と前記実装基板とを第2バンプを介して接続したことを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記熱歪緩和板が、複数の分割された配線基板によって構成されていることを特徴とする半導体装置。

【請求項4】 請求項2記載の半導体装置において、前記熱歪緩和板と、前記実装基板とを同一材料または熱膨張係数が近い材料によって構成したことを特徴とする半導体装置。

【請求項5】 請求項1または3記載の配線基板が有機物材料からなることを特徴とする半導体装置。

【請求項6】 請求項1～5のいずれか一項に記載の半導体装置において、少なくとも前記半導体チップおよび第1バンプが樹脂によって封止されていることを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、前記樹脂の熱膨張係数が、前記半導体チップの熱膨張係数よりも大きく、かつ、前記配線基板の熱膨張係数よりも小さいことを特徴とする半導体装置。

【請求項8】 請求項1～7のいずれか一項に記載の半導体装置において、前記半導体チップの裏面にヒートシンクを接合したことを特徴とする半導体装置。

【請求項9】 請求項1、3、4、5、6、7または8記載の半導体装置において、前記配線基板上に他の半導体チップを実装するとともに、前記他の半導体チップの端子と前記配線基板上の端子とをボンディングワイヤによって接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置技術に関し、特に半導体チップをバンプを介して配線基板上に実装するフリップチップ実装方式を用いる半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体装置内における半導体集積回路の多様化や素子の高集積化に伴い、半導体装置において、外部回路との電気的な接続を行う外部端子の数が急速に増大している。そして、このような外部端子の増大に対応すべく、半導体チップを包むパッケージの構造も変わりつつある。

【0003】 例えばQFP (Quad Flat Package) のようにパッケージ本体の四辺から外部端子を取り出すようなパッケージ構造においては、多ピン化に伴い狭ピッチと

なり、パッケージの製造限界や実装基板上への搭載限界が生じつつあり、多ピン化に限界が生じつつある。

【0004】 一方、表面実装形のPGA (Pin Grid Array) やBGA (Ball Grid Array) においては、パッケージ基板の裏面全面から端子を取り出す構造となっているので、パッケージサイズを大きくすることなく、多くのピンを取り出すことが可能となっている。

【0005】 このBGAについては、例えば日経BP社、1994年3月1日発行「日経マイクロデバイス」P58～P64や「OMPAC-A ニュウキッド オンザ ブロック (OMPAC-A New Kid on the Block)」アブストラクト オブ ファースト ブイエレスアイ パッケージング ワークショップ オブ ジャパン 京都 1992 (Abstracts of 1st VLSI Packaging Workshop of Japan, Kyoto 1992) に記載がある。これらの文献に記載されたBGAの構造は、例えば以下の通りである。

【0006】 すなわち、半導体チップはその主面を上に向けた状態でパッケージ基板上に実装されている。半導体チップの外部端子はボンディングワイヤを通じてパッケージ基板上の端子と電気的に接続されている。この半導体チップおよびボンディングワイヤはモールドレジンによって被覆されている。パッケージ基板の裏面には、バンプ電極がアレイ状に配置されている。

【0007】 このようなBGAは、パッケージ基板裏面のバンプ電極を介してモジュール基板等の上に実装される。パッケージ基板およびモジュール基板は、通常、有機材料からなるプリント基板を基体として構成される。このような構造のBGAは、例えば低容量で低インダクタンスというように電気的特性に優れるだけでなく、低価格でもある。

【0008】 また、本発明者の検討したBGAの構造は、半導体チップがその主面を下方に向けた状態でパッケージ基板上に実装される、いわゆるフリップチップ実装方式を採用した構造であり、この構造においては半導体チップがCCB (Controlled Collapse Bonding) バンプ電極を介してパッケージ基板上に実装されている。この場合、低容量で低インダクタンスというように電気的特性に優れる上に、ワイヤボンディング方式よりも多くのピンを配置することができる。

【0009】 なお、CCB法については、例えばIBM ジャーナル オブ リサーチ アンド デベロップメント (IBM Journal of Research and Development) Vol. 13, NO. 3, P239～P250に記載がある。

【0010】

【発明が解決しようとする課題】 ところが、上記フリップチップ実装方式を用いる半導体装置技術においては、バンプ接続部の微細化に伴って、半導体チップと、配線基板との熱膨張差に起因するバンプ接続部の信頼性低下

3

が顕著となってきたという問題がある。

【 0 0 1 1 】 従来から半導体装置の不良は、接続点数に大きく依存し、半導体チップ内の素子そのものの不良よりも、半導体チップと配線基板との接続部の不良に起因するところが大きいとされている。この接続部の不良は、半導体チップと配線基板との熱膨張係数の相違に起因して半導体チップと配線基板との接続部で発生する歪が主な原因とされている。

【 0 0 1 2 】 そして、この種の不良は、半導体チップの寸法が大形化し、電極数が増え、電極サイズが急速に微細化されつつあるフリップチップ実装方式の半導体装置において特に問題となりつつある。その接続部が大きければ多少の歪が発生してもその歪を接続部で吸収することができるが、その接続部が微細化されつつあるため、僅かな位置ずれ等でも歪の発生により接続部の破壊につながるからである。

【 0 0 1 3 】 本発明の目的は、フリップチップ実装方式を用いる半導体装置の bumps 接続部における信頼性を向上させることのできる技術を提供することにある。

【 0 0 1 4 】 本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 5 】

【 課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【 0 0 1 6 】 すなわち、本発明の半導体装置は、複数に分割された各々の配線基板上に1つの半導体チップが重なるように第1 bumps を介して実装されてなるものである。

【 0 0 1 7 】 また、本発明の半導体装置は、前記半導体チップおよび第1 bumps の少なくとも一方を封止する樹脂の熱膨張係数が、前記半導体チップの熱膨張係数よりも大きく、かつ、前記配線基板の熱膨張係数よりも小さいものである。

【 0 0 1 8 】

【 作用】 半導体チップと配線基板とを接続する第1 bumps に加わる歪は半導体チップにおける最大 bumps 間距離に比例する。この最大 bumps 間距離は、 bumps 形成領域の対角線上において最も外側に配置された bumps 間の距離である。

【 0 0 1 9 】 上記した本発明の半導体装置によれば、配線基板が複数に分割されていることにより、最大 bumps 間距離を小さくすることができるので、第1 bumps に加わる歪を低減することが可能となる。

【 0 0 2 0 】 また、上記した本発明の半導体装置によれば、半導体チップおよび第1 bumps を樹脂によって被覆することにより、個々の第1 bumps に加わる歪を分散させることができるとともに、個々の第1 bumps を抑え込み固定することができるので、歪に起因する第1 bumps

4

の接合破壊を抑制することが可能となる。

【 0 0 2 1 】 また、その封止樹脂の材料として、熱膨張係数が半導体チップの熱膨張係数よりも大きく、配線基板の熱膨張係数よりも小さくなる材料を選択したことにより、歪の分散効果をより効果的にすることが可能となる。

【 0 0 2 2 】

【 実施例】 以下、本発明の実施例を図面に基づいて詳細に説明する。

【 0 0 2 3 】 (実施例1) 図1 は本発明の一実施例である半導体装置の断面図、図2 は図1 の半導体装置の平面図、図3 ~ 図9 は図1 の半導体装置の製造工程中における平面図および断面図である。

【 0 0 2 4 】 本実施例1 の半導体装置は、例えば図1 および図2 に示すような BGA (Ball Grid Array) 1 a であり、半導体チップ2 と、半導体チップ2 を搭載するパッケージ基板(配線基板、熱歪緩和板) 3 と、半導体チップ2 を封止するモールドレジン4 とを有している。

【 0 0 2 5 】 なお、図2 には、図面を見易くするため、モールドレジン4 を図示していない。また、図1 は図2 の I - I 線の断面に相当する。

【 0 0 2 6 】 半導体チップ2 は、例えば熱膨張係数が約 $3 \times 10^{-6} / ^\circ\text{C}$ 程度のシリコン (Si) 単結晶等からなり、その主面を下に向けた状態でパッケージ基板3 上に実装されている。

【 0 0 2 7 】 半導体チップ2 の主面(素子形成面) には、例えば論理回路、半導体メモリ回路または論理付き半導体メモリ回路等のような所定の半導体集積回路が形成されているとともに、その半導体集積回路の電極を引き出すための複数の外部端子2 a が形成されている。

【 0 0 2 8 】 この半導体チップ2 の主面上の外部端子2 a は、パッケージ基板3 の主面上の端子3 a と第1 bumps である CCB bumps 電極(以下、単に bumps 電極という) 5 a を介して電気的に接続されている。すなわち、半導体チップ2 は、 bumps 電極5 a を介してパッケージ基板3 のチップ搭載面上に実装されている。 bumps 電極5 a は、例えば96.5 wt % 錫 (Sn) - 3.5 wt % 銀 (Ag) 等のような半田からなる。

【 0 0 2 9 】 パッケージ基板3 は、例えばガラス布基材ポリイミド樹脂またはガラス布基材ビスマレイドトリアジン等を基体とした銅張積層プリント基板等からなり、その熱膨張係数は、例えば $13 \sim 16 \times 10^{-6} / ^\circ\text{C}$ 程度である。なお、図示はしないが、パッケージ基板3 の各配線層には、例えば銅 (Cu) からなる内層配線が形成されている。

【 0 0 3 0 】 また、このパッケージ基板3 のチップ搭載面において、半導体チップ2 の外部端子2 a に対応する位置には端子3 a が複数個設けられており、この端子3 a と外部端子2 a とは bumps 電極5 a を介して電気的に接続されている。

5

【0031】ところで、本実施例1においては、1個の半導体チップ2が実装されるパッケージ基板3が、例えば4個に等分割されている。個々のパッケージ基板3は、例えば四角形状である。ただし、半導体チップ2は、個々のパッケージ基板3に対して平面的に均等に重なるように配置されている。

【0032】そして、これにより、本実施例1においては、半導体チップ2とパッケージ基板3との熱膨張係数差によりバンプ電極5aに加わる歪を大幅に低減することが可能な構造となっている。これは、以下のような理由から説明することができる。

【0033】まず、その歪を γ とすると、 $\gamma \propto \Delta T \cdot \Delta \alpha \cdot L$ と表すことができる。この式で ΔT は温度差を表し、 $\Delta \alpha$ は熱膨張係数差を表し、 L は最大バンプ間距離を表している。この最大バンプ間距離とは、パッケージ基板3と対面している半導体チップ2の対角線上において最も外側にあるバンプ電極5a、5a間の距離をいう。

【0034】この式において ΔT 、 $\Delta \alpha$ は、ほぼ決まった値なので、歪を決める主要因は、最大バンプ間距離であることが判る。

【0035】ここで、本実施例1においては、図2に示すように、パッケージ基板3を4分割したことにより、最大バンプ間距離 L_1 を、パッケージ基板3を分割しない場合の最大バンプ間距離 L_0 の $1/2$ 以下にすることができる。

【0036】したがって、上記した歪 γ の式から、本実施例1のパッケージ構造によれば、バンプ電極5aに加わる歪を、パッケージ基板3を分割しない技術に比べて大幅に低減することが可能となる。

【0037】また、本実施例1においては、例えば半導体チップ2と個々のパッケージ基板3とが重なる平面積が等しくなっていると同時に、半導体チップ2と個々のパッケージ基板3とを接続するバンプ電極5aの接続数および接続状態も等しくなっている。

【0038】すなわち、本実施例1においては、個々のパッケージ基板3における最大バンプ間距離 L_1 が等しくなっている。これにより、個々のパッケージ基板3におけるバンプ電極5aの接続寿命をほぼ均一にすることが可能となっている。

【0039】このようなパッケージ基板3の主面上には、モールドレジン4が堆積されており、これによって半導体チップ2が封止されている。

【0040】このモールドレジン4は、半導体チップ2の主面とパッケージ基板3の主面との間にも充填されている。このモールドレジン4は、例えばエポキシ樹脂にシリカ粉等が含有されており、その熱膨張係数は、例えば $11 \times 10^{-6}/^{\circ}\text{C}$ 程度である。すなわち、本実施例1においては、モールドレジン4の熱膨張係数が、半導体チップ2の熱膨張係数よりも大きく、パッケージ基板3

6

の熱膨張係数よりも小さくなるように設定されている。

【0041】このように、モールドレジン4が半導体チップ2の主面とパッケージ基板3の主面との間にも充填されていることにより、個々のバンプ電極5aに加わる歪を分散させることができるとともに、個々のバンプ電極5aを抑え込み固定することができるので、歪に起因するバンプ電極5aの接合破壊を抑制することが可能となっている。

【0042】また、モールドレジン4の材料として、その熱膨張係数が半導体チップ2の熱膨張係数よりも大きく、パッケージ基板3の熱膨張係数よりも小さくなる材料を選択したことにより、歪の分散効果をより効果的にすることが可能となっている。

【0043】また、このようなパッケージ基板3の裏面には端子3bが形成されている。この端子3bは、パッケージ基板3の内層配線(図示せず)を通じてパッケージ基板3の主面の端子3aと電気的に接続されている。

【0044】パッケージ基板3の裏面の端子3bは、第2バンプであるバンプ電極5bを介してモジュール基板6上の端子6aと電気的に接続されている。すなわち、BGA1aは、パッケージ基板3の裏面側のバンプ電極5bを介してモジュール基板6上に実装されている。

【0045】バンプ電極5bは、例えば38wt%鉛(Pb)-62wt%錫(Sn)合金からなる。本実施例1においては、バンプ電極5bにおいても、上記バンプ電極5aで得られる効果を得ることが可能となっている。前述のバンプ電極5aの場合と同様に、バンプ電極5bにおいても、最大バンプ間距離をパッケージ基板を分割しない技術の場合よりも短くすることができるからである。

【0046】モジュール基板6は、例えばガラス布基材エポキシ系樹脂等を基体とした銅張積層プリント基板からなり、その熱膨張係数は、例えば $13 \sim 16 \times 10^{-6}/^{\circ}\text{C}$ 程度である。なお、図示はしないが、パッケージ基板3の各配線層には、例えば銅(Cu)からなる内層配線が形成されている。この内層配線は、上記した端子6aと電気的に接続されている。

【0047】次に、本実施例1のBGA1aの製造方法を図1～図9によって説明する。なお、図2～図9においては、図面の簡単化のため、半導体チップ2上の外部端子2a、パッケージ基板3上の端子3a、3bおよびモジュール基板6上の端子6aを図示していない。

【0048】まず、図3に示すように、主面上にバンプ電極5aが形成された半導体チップ2を用意する。この半導体チップ2は、例えばSi単結晶からなる半導体ウエハ(図示せず)をダイシング処理によって分割して得られたものである。

【0049】バンプ電極5aは、半導体ウエハの状態の時に形成される。すなわち、ウエハプロセスの最終工程における電極形成工程に際して、半導体ウエハ上の各チ

50

ップ形成領域の主面上に電極のみが露出するようなメタルマスクまたはガラスマスクを配置した後、その半導体ウエハ上にSn - Ag ボール供給管によってSn - Ag 合金を形成する。

【 0 0 5 0 】 続いて、図2 および図4 に示すように、例えば四角形状の4 個のパッケージ基板3 を所定の間隔をおいて配置した後、そのチップ実装面と半導体チップ2 のパンプ電極形成面とを対向させ、さらに半導体チップ2 の外部端子2 a と、パッケージ基板3 上の端子との相対的位置を合わせた状態で、半導体チップ2 をパッケージ

基板3 上に載置する。
【 0 0 5 1 】 その後、半導体チップ2 をパッケージ基板3 上に載置した状態で、はんだリフロー工程に移行し、パンプを溶融させることにより、半導体チップ2 の外部端子と、パッケージ基板3 の端子とをパンプ電極5 a を介して電氣的に接続する。

【 0 0 5 2 】 次いで、半導体チップ2 をトランスファモールド方法等により樹脂封止する。この際のモールド工程を図5 ~ 図7 に示す。なお、図6 および図7 はそれぞれ図5 のVI - VI 線およびVII - VII 線に相当する部分の断面図である。

【 0 0 5 3 】 モールド金型7 は、下型7 a と上型7 b とを有している。このうち下型7 a は、全域に渡って平坦になっている。上型7 b の下面中央は窪んでおり、これにより、キャビティ8 が形成されている。

【 0 0 5 4 】 モールド工程に際しては、まず、下型7 a の上面に、半導体チップ2 の実装されたパッケージ基板3 をその半導体チップ2 を上にした状態で載置した後、パッケージ基板3 の上面外周を上型7 b における下面外周によってクランプする。

【 0 0 5 5 】 続いて、溶融されたモールドレジンを、モールドレジ注入部9 (図5 参照) からランナ1 0 およびゲート1 1 (図7 参照) を通じてキャビティ8 内に注入する。なお、符号1 2 a ~ 1 2 c はエアベントを示している。

【 0 0 5 6 】 このモールド処理により、図8 に示すようなパッケージ構造を形成する。すなわち、パッケージ基板3 上に実装された半導体チップ2 の全体をモールドレジン4 によって封止した構造である。このモールドレジン4 は、半導体チップ2 の主面と、パッケージ基板3 の主面との対向面間にも充填されている。

【 0 0 5 7 】 これにより、個々のパンプ電極5 a に加わる歪が分散されるとともに、個々のパンプ電極5 a が固定されるため、パンプ電極5 a における接合破壊を抑制することが可能となっている。また、モールドレジン4 の材料として、その熱膨張係数が半導体チップ2 の熱膨張係数よりも大きく、パッケージ基板3 の熱膨張係数よりも小さい材料を選択したことにより、歪の分散効果をより効果的にすることが可能となっている。

【 0 0 5 8 】 モールド処理の後、図9 に示すように、パ

ッケージ基板3 の裏面側の端子上に、例えばPb - Sn 合金からなるパンプ電極5 b を形成することによりBGA1 a を製造した後、そのBGA1 a を、図1 に示したように、パンプ電極5 b を介してモジュール基板6 上に実装する。

【 0 0 5 9 】 このように、本実施例1 によれば、以下の効果を得ることが可能となる。

【 0 0 6 0 】 (1) .1 個の半導体チップ2 を実装するパッケージ基板3 を複数個に分割したことにより、半導体チップ2 とパッケージ基板3 との熱膨張係数差に起因してパンプ電極5 a に加わる歪を大幅に低減することができるので、歪に起因するパンプ電極5 a の接合破壊を抑制することができ、パンプ電極5 a の接続寿命を大幅に向上させることが可能となる。

【 0 0 6 1 】 (2) .モールドレジン4 を半導体チップ2 の主面とパッケージ基板3 の主面との間にも充填したことにより、個々のパンプ電極5 a に加わる歪を分散させることができるとともに、個々のパンプ電極5 a を抑え込み固定することができるので、歪に起因するパンプ電極5 a の接合破壊を抑制することができ、パンプ電極5 a の接続寿命を大幅に向上させることが可能となる。

【 0 0 6 2 】 (3) .モールドレジン4 の材料として、その熱膨張係数が半導体チップ2 の熱膨張係数よりも大きく、パッケージ基板3 の熱膨張係数よりも小さくなる材料を選択したことにより、歪の分散効果をより効果的にすることが可能となる。

【 0 0 6 3 】 (4) .上記(1) , (2) または(3) により、BGA1 a の信頼性および歩留りを向上させることが可能となる。

【 0 0 6 4 】 (5) .パッケージ基板3 とモジュール基板6 との材料を互いに熱膨張係数の近い材料によって構成したことにより、パッケージ基板3 とモジュール基板6 との熱膨張係数差に起因してパンプ電極5 b に加わる歪を低減することが可能となる。

【 0 0 6 5 】 (6) .上記(1) , (5) により、パッケージ基板3 をモジュール基板6 上に実装するパンプ電極5 b の接続寿命を大幅に向上させることが可能となる。したがって、BGA1 a を実装する装置の信頼性および歩留りを向上させることが可能となる。

【 0 0 6 6 】 (7) .上記(1) , (2) , (3) , (4) , (5) または(6) により、パッケージ基板3 およびモジュール基板6 の材料として、コストの安い樹脂を用いることができるので、製品のコストを低減することが可能となる。

【 0 0 6 7 】 (8) .上記(1) , (2) または(3) により、パンプ電極5 a の信頼性を確保するために生じていた半導体チップ2 のサイズの制約を緩和することができるので、半導体チップ2 のサイズを大きくすることが可能となる。

【 0 0 6 8 】 (9) .個々のパッケージ基板3 における最大パンプ間距離L1 を等しくしたことにより、個々のパ

ケース基板3におけるパンプ電極5 a , 5 b の接続寿命をほぼ均一にすることが可能となる。

【 0 0 6 9 】 (実施例2) 図1 0 は本発明の他の実施例である半導体装置の断面図である。なお、図1 0 においても、図面を見易くするため、図1 で示した半導体チップ2 上の外部端子2 a 、パッケージ基板3 上の端子3 a , 3 b およびモジュール基板6 上の端子6 a を図示していない。

【 0 0 7 0 】 本実施例2 においては、図1 0 に示すように、BGA1 b を構成する半導体チップ2 の裏面に放熱フィン (ヒートシンク) 1 3 が機械的に接合されている。

【 0 0 7 1 】 放熱フィン1 3 は、例えばAl または窒化アルミニウム (Al N) 等のような熱伝導特性に優れた材料からなり、その上部は空気との接触面積が大きくなるように櫛歯状に形成されている。これにより、半導体チップ2 の動作中に発生する熱の放熱効率を向上させることが可能な構造となっている。

【 0 0 7 2 】 このように、本実施例2 においては、前記実施例1 で得られた効果に加えて、以下の効果を得ることが可能となる。すなわち、半導体チップ2 の裏面に放熱フィン1 3 を機械的に接合したことにより、半導体チップ2 の動作中に発生する熱の放熱効率を向上させることが可能となる。したがって、BGA1 b の信頼性をさらに向上させることが可能となる。

【 0 0 7 3 】 (実施例3) 図1 1 は本発明の他の実施例である半導体装置の断面図である。なお、図1 1 においても、図面を見易くするため、図1 で示した半導体チップ2 上の外部端子2 a 、パッケージ基板3 上の端子3 a , 3 b およびモジュール基板6 上の端子6 a を図示していない。

【 0 0 7 4 】 本実施例3 においては、図1 1 に示すように、BGA1 c を構成する個々のパッケージ基板3 上にも半導体チップ2 が実装されている。

【 0 0 7 5 】 ただし、この半導体チップ2 は、その主面を上に向け、その裏面を所定の接着剤等によってパッケージ基板3 に接着された状態で実装されている。そして、この半導体チップ2 の引出し電極は、例えば金 (Au) 等からなるボンディングワイヤ2 b を通じてパッケージ基板3 上の端子と電気的に接続されている。

【 0 0 7 6 】 このワイヤボンディング法を用いた半導体チップ2 には、例えばメモリ回路が形成されている。メモリ回路においては動作時における発熱量が少ないことや引出し電極数も少なく済むことからワイヤボンディング法でも実装できるからである。

【 0 0 7 7 】 また、図1 1 の中央のCCB法を用いた半導体チップ2 には、例えば論理回路が形成されている。論理回路においては動作時における発熱量が多いとともに、引出し電極数も多いのでCCB法を用いることが好ましいからである。

【 0 0 7 8 】 なお、このワイヤボンディング法を用いた半導体チップ2 も、CCB法を用いた半導体チップ2 と共にモールドレジン4 によって封止されている。

【 0 0 7 9 】 このように、本実施例3 においては、前記実施例1 で得られた効果に加えて、以下の効果を得ることが可能となる。すなわち、分割されたパッケージ基板3 上にワイヤボンディング法を用いた半導体チップ2 を実装したことにより、半導体チップ2 の実装密度を向上させることが可能となる。

【 0 0 8 0 】 (実施例4) 図1 2 は本発明の他の実施例である半導体装置の平面図である。なお、図1 2 においては、図面を見易くするため、モールドレジンを図示していない。

【 0 0 8 1 】 本実施例4 においては、図1 2 に示すように、BGA1 d を構成する1 つの半導体チップ2 と個々のパッケージ基板3 との平面的な重なり面積が異なる構造となっている。

【 0 0 8 2 】 すなわち、個々のパッケージ基板3 における最大パンプ間距離が異なる構造となっている。そして、この個々の最大パンプ間距離は、例えば半導体チップ2 の面内における温度分布に応じて変えられている。

【 0 0 8 3 】 例えば同一の半導体チップ2 にメモリ回路領域と論理回路領域とが配置されている場合、メモリ回路領域においては動作中においても余り高温とならないが、論理回路領域においては動作中において高温となることが知られている。

【 0 0 8 4 】 したがって、この場合は、動作中における半導体チップ2 の熱分布が面内で均一ではないので、半導体チップ2 の動作によって生じた熱によってパンプ電極5 a が受ける歪もパンプ電極5 a の場所によって異なることになる。この場合に、前記実施例1 ~ 3 のように最大パンプ間距離を全て等しくしたのでは、パンプ電極5 a の接続寿命が不均一となる。

【 0 0 8 5 】 そこで、本実施例4 においては、例えばメモリ回路領域における最大パンプ間距離を比較的長くするとともに、論理回路領域における最大パンプ間距離を比較的短くする等、半導体チップ2 の面内の温度分布に応じて最大パンプ間距離を変えるようにしている。

【 0 0 8 6 】 このように、本実施例4 によれば、前記実施例1 で得られた効果の他に以下の効果を得ることが可能となる。

【 0 0 8 7 】 すなわち、動作時における半導体チップ2 の面内の温度分布に応じて最大パンプ間距離を個々のパッケージ基板3 ごとに変えたことにより、半導体チップ2 の面内に温度分布が生じる場合においても、半導体チップ2 の裏面全面におけるパンプ電極5 a の接続寿命をほぼ均一にすることが可能となる。

【 0 0 8 8 】 以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1 ~ 4 に限定されるものではなく、その要旨を逸脱しな

い範囲で種々変更可能であることはいふまでもない。

【0089】例えば前記実施例1～4においては、パッケージ基板を、例えばガラス布基材ポリイミド樹脂またはガラス布基材ビスマレイドトリアジン樹脂等を基体とした銅張積層プリント基板とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば紙基材エポキシ樹脂、紙基材フェノール樹脂またはガラス布基材エポキシ樹脂等からなるプリント基板としても良い。

【0090】また、前記実施例1～4においては、パッケージ基板およびモジュール基板を樹脂とした場合について説明したが、これに限定されるものではなく、例えば酸化アルミニウム(Al_2O_3)等のようなセラミックスとしても良い。

【0091】また、前記実施例1～4においては、パッケージ基板を、四角形状の基板に分割した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば図13に示すように、BGA1eを構成するパッケージ基板3を三角形状の基板に分割しても良い。なお、図13においては、図面を見易くするため、モールドレジンを図示していない。

【0092】また、図示はしないが、パッケージ基板を台形状の基板に分割しても良いし、1つのパッケージ基板を形状の異なる基板に分割しても良い。

【0093】また、前記実施例1～4においては、パッケージ基板を4分割した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば5分割でも良いし、それ以上でも良い。

【0094】また、前記実施例1～4においては、半導体チップ全体をモールドレジンによって被覆した場合について説明したが、これに限定されるものではなく、例えば図14に示すように、BGA1fを構成する半導体チップ2の主面と、パッケージ基板3の主面との対向面間のみにモールドレジン4を介在させる構造としても良い。

【0095】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフリップチップ実装方式としてCCB法を用いる半導体装置に適用した場合について説明したが、これに限定されず種々適用可能であり、例えばフリップチップ実装方式として、対向する接続端子間に予め一定直径の半田細線を介在させて一括接合するリフロー半田法である、いわゆるCFB(Controlled Flow Bonding method)法を用いる半導体装置等のような他のフリップチップ実装方式を用いる半導体装置に適用することも可能である。

【0096】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0097】(1)本発明の半導体装置によれば、配線基

板が複数に分割されていることにより、最大バンプ間距離を小さくすることができるので、第1バンプに加わる歪を低減することが可能となる。このため、その歪に起因する第1バンプの接合破壊を抑制することができ、第1バンプの接続寿命を大幅に向上させることが可能となる。したがって、その半導体装置の信頼性および歩留りを向上させることが可能となる。

【0098】(2)上記した本発明の半導体装置によれば、半導体チップおよび第1バンプを樹脂によって被覆することにより、個々の第1バンプに加わる歪を分散させることができるとともに、個々の第1バンプを抑え込み固定することができるので、歪に起因する第1バンプの接合破壊を抑制することができ、第1バンプの接続寿命を大幅に向上させることが可能となる。したがって、その半導体装置の信頼性および歩留りを向上させることが可能となる。

【0099】(3)その封止樹脂の材料として、熱膨張係数が半導体チップの熱膨張係数よりも大きく、配線基板の熱膨張係数よりも小さくなる材料を選択したことにより、歪の分散効果をより効果的にすることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置の断面図である。

【図2】図1の半導体装置の平面図である。

【図3】図1の半導体装置の製造工程における断面図である。

【図4】図1の半導体装置の図3に続く製造工程における断面図である。

【図5】図1の半導体装置の図4に続く製造工程における平面図である。

【図6】図1の半導体装置の図5の製造工程における断面図である。

【図7】図1の半導体装置の図5の製造工程における断面図である。

【図8】図1の半導体装置の図5に続く製造工程における断面図である。

【図9】図1の半導体装置の図8に続く製造工程における断面図である。

【図10】本発明の他の実施例である半導体装置の断面図である。

【図11】本発明の他の実施例である半導体装置の断面図である。

【図12】本発明の他の実施例である半導体装置の平面図である。

【図13】本発明の他の実施例である半導体装置の平面図である。

【図14】本発明の他の実施例である半導体装置の断面図である。

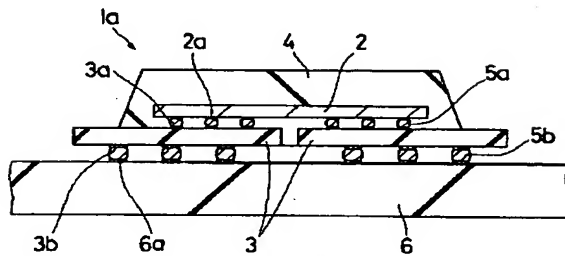
【符号の説明】

13

- 1 a ~ 1 f BGA (半導体装置)
 2 半導体チップ
 2 a 外部端子
 2 b ボンディングワイヤ
 3 パッケージ基板 (配線基板)
 3 a 端子
 3 b 端子
 4 モールドレジジン
 5 a CCB パンプ電極 (第 1 パンプ)
 5 b CCB パンプ電極 (第 2 パンプ)
 6 モジュール基板 (実装基板)

【 図 1 】

図 1



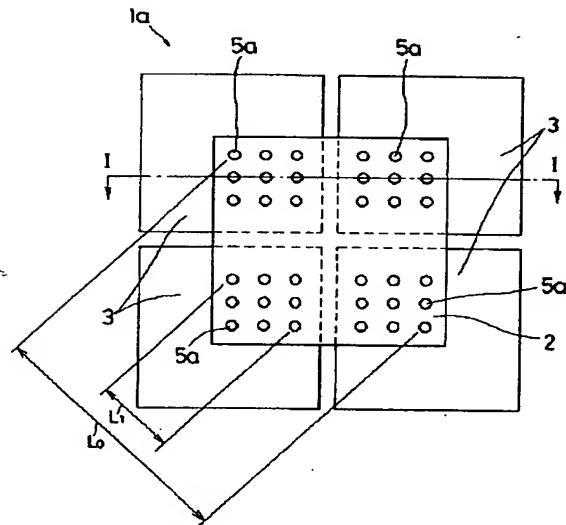
- 1 a : BGA (半導体装置)
 2 : 半導体チップ
 3 : パッケージ基板 (配線基板)
 4 : モールドレジジン
 5 a : CCB パンプ電極 (第 1 パンプ)
 5 b : CCB パンプ電極 (第 2 パンプ)
 6 : モジュール基板 (実装基板)

14

- 6 a 端子
 7 モールド金型
 7 a 下型
 7 b 上型
 8 キャビティ
 9 モールドレジジン注入部
 10 ランナ
 11 ゲート
 12 a ~ 12 c エアベント
 10 13 放熱フィン (ヒート シンク)

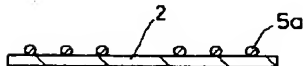
【 図 2 】

図 2



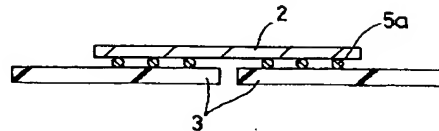
【 図 3 】

図 3



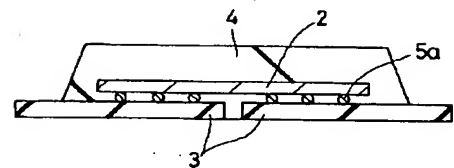
【 図 4 】

図 4



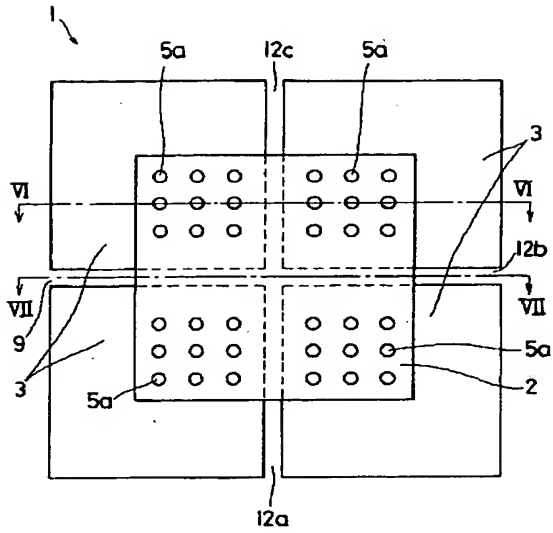
【 図 8 】

図 8



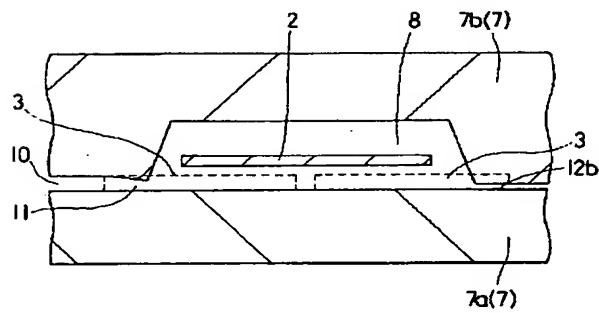
【 図5 】

図5



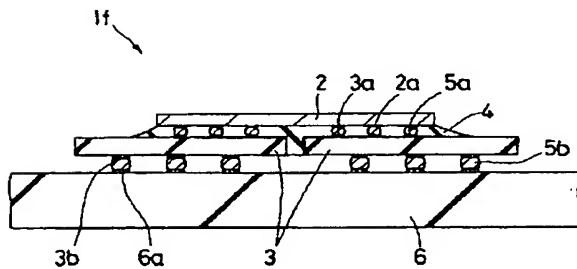
【 図7 】

図7



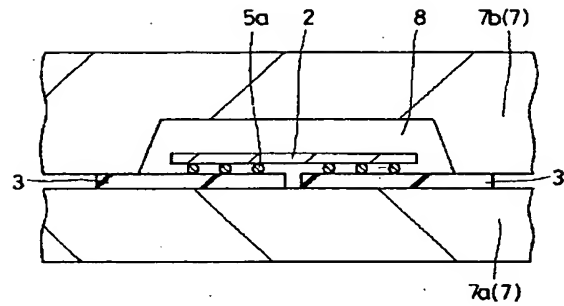
【 図14 】

図14



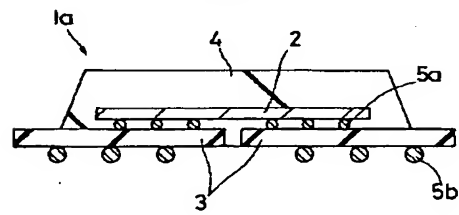
【 図6 】

図6



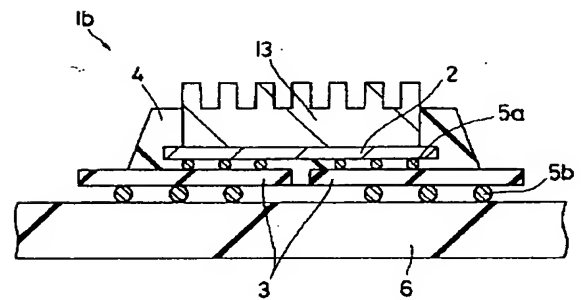
【 図9 】

図9



【 図10 】

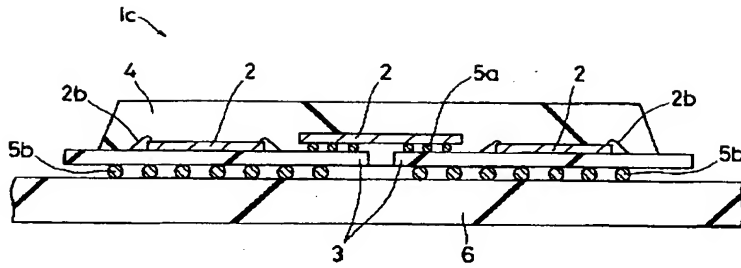
図10



13 : 放熱フィン (ヒートシンク)

【 図11 】

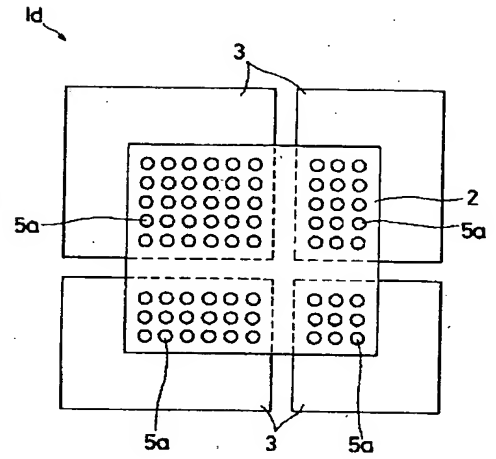
図11



2b : ボンディングワイヤ

【 図12 】

図12



【 図13 】

図13

